S3C44B0X 中文数据手册

4 存储器控制器

4．1 概述

S3C44B0X 内部存储器控制器的作用，是为外部存储器操作提供两套必要的存储器控制信号。S3C44B0X 具有以下特性：

- 小/大端（通过外部引脚选择）
- 地址空间：32M 字节每 bank（总共 256MB：8banks）
- 所有 bank 都具有可编程的总线宽度（8/16/32 位）
- 总共 8 个存储器 banks
  - 6 个可用作 ROM，SRAM 映射空间的存储器 bank
  - 2 个可用 FP/EDO/SDRAM 等映射空间的存储器 bank
- 7 个起始地址固定、大小可编程的存储器 bank
- 1 个具有灵活起始地址、大小可编程的存储器 bank
- 对所有的存储器 bank，具有可编程的操作周期
- 采用外部等待来扩展总线周期
- 专用 DRAM/SDRAM 接口支持自刷新模式
- 支持异步和同步 DRAM

4．2 大/小端

S3C44B0X 具有一个输入引脚 ENDIAN，处理器通过它的输入逻辑电平来确定数据类型是小端还是大端：0:小端 1:大端，逻辑电平在复位期间由该管脚的上拉或下拉电阻确定。

4．3 Bank0 总线宽度

BOOT ROM 在地址上位于 ARM 处理器的 Bank0 区，它可能具有多种数据总线宽度，这个宽度是可以通过硬件设定的，即通过 OM[1:0]引脚上的逻辑电平进行设定，如下表所示：

OM[1:0]	数据总线宽度
00	8-bit (byte)
01	16-bit (half-word)
10	32-bit (word)
11	Test Mode

表 3－4 ROM bank 0 的数据总线宽度设定

4．4 寄存器定义

BWSCON

BWSCON 寄存器主要用来设置外接存储器的总线宽度和等待状态。在 BWSCON 中，除了 bank0，对其它 7 个 bank 都各对应有 4 个相关位的设置，分别为 STx, WSx, DWx。

STx 位决定 SRAM 映射在 bankx 时是否采用 UB/LB，0：不采用，1：采用。

WSx 位决定 bankx 上等待的状态，0：禁止等待，1：使能等待。

DWx 中的 2 位决定 bankx 上的总线宽度。00：8-bit, 01：16-bit, 10：32-bit

DW0 位对应 bank0 的总线宽度，但这里它是只读的，不需要设置：

DW0	[2:1]	决定bank0的总线宽度 (只读) 00 = 8-bit 01 = 16-bit, 10 = 32-bit 通过OM[0:1]脚电平决定。	-

BANKCON

S3C44B0X 具有 8 个 BANKCONn 寄存器，分别对应着 bank0－bank7。BANKCONn 寄存器针对操作时序进行设置

BANKCONn	位	描述	初始状态
Tacs	[14:13]	Address set-up before nGCSn 00 = 0 clock 01 = 1 clock 10 = 2 clocks 11 = 4 clocks	00
Tcos	[12:11]	Chip selection set-up nOE 00 = 0 clock 01 = 1 clock 10 = 2 clocks 11 = 4 clocks	00
Tacc	[10:8]	Access cycle 000 = 1 clock 001 = 2 clocks 010 = 3 clocks 011 = 4 clocks 100 = 6 clocks 101 = 8 clocks 110 = 10 clocks 111 = 14 clocks	111
Toch	[7:6]	Chip selection hold on nOE 00 = 0 clock 01 = 1 clock 10 = 2 clocks 11 = 4 clocks	000
Tcah	[5:4]	Address holding time after nGCSn 00 = 0 clock 01 = 1 clock 10 = 2 clocks 11 = 4 clocks	00
Tacp	[3:2]	Page mode access cycle @ Page mode 00 = 2 clocks 01 = 3 clocks 10 = 4 clocks 11 = 6 clocks	00
PMC	[1:0]	Page mode configuration 00 = normal (1 data) 01 = 4 data 10 = 8 data 11 = 16 data	00

表 3－5 BANKCON0～5 的位定义

由于 bank6-7 可以作为 FP/EDO/SDRAM 等类型存储器的映射空间，因此 BANKCON6-7 与其它 bank 的相应寄存器有所不同。其中 MT 位定义了存储器的类型：

BANKCONn	Bit	描述	起始状态
MT	[16:15]	这两位决定了bank6和bank7的存储器类型 00 = ROM or SRAM 01 = FP DRAM 10 = EDO DRAM 11 = Sync. DRAM	11

MT 的取值定义了该寄存器余下几位的作用。例如当 MT=11，余下几位定义如下：

SDRAM型存储器 [MT=11] (4-bit)			
Trcd	[3:2]	RAS to CAS delay 00 = 2 clocks 01 = 3 clocks 10 = 4 clocks	10
SCAN	[1:0]	Column address number 00 = 8-bit 01 = 9-bit 10= 10-bit	00

Trcd 是行使能到列使能的延迟。SCAN 为列地址线数量。

REFRESH

REFRESH 是 DRAM/SDRAM 的刷新控制器。位定义如下表所示：

REFRESH	Bit	描述	初始状态
REFEN	[23]	DRAM/SDRAM 刷新使能 0 = Disable 1 = Enable(self or CBR/auto refresh)	1
TREFMD	[22]	DRAM/SDRAM 刷新模式 0 = CBR/Auto Refresh 1 = Self Refresh In self-refresh time, the DRAM/SDRAM control signals are driven to appropriate level.	0
Trp	[21:20]	DRAM/SDRAM RAS预充电时间 DRAM : 00 = 1.5 clocks 01 = 2.5 clocks 10 = 3.5 clocks 11 = 4.5 clocks SDRAM : 00 = 2 clocks 01 = 3 clocks 10 = 4 clocks 11 = Not support	10
Trc	[19:18]	SDRAM RC最小时间 00 = 4 clocks 01 = 5 clocks 10 = 6 clocks 11 = 7 clocks	11
Tchr	[17:16]	CAS保持时间(DRAM) 00 = 1 clock 01 = 2 clocks 10 = 3 clocks 11 = 4 clocks	00
Reserved	[15:12]	未用	0000
Refresh Counter	[10:0]	DRAM/SDRAM刷新计数值 Refresh period = (2^{11}-refresh_count+1)/MCLK 例如刷新周期为15.6us，主频为60MHz，则刷新计数值计算如下： refresh count = 2^{11} + 1 - 60x15.6 = 1113	0

表 4－5 REFRESH 寄存器位定义

BANKSIZE 和 MRSR

BANKSIZE	Bit	描述	初始状态
SCLKEN	[4]	SCLK will be generated only during SDRAM access cycle. This feature will reduce the power consumption. 1 is recommended. 0 = normal SCLK 1 = SCLK for reducing power consumption	0
Reserved	[3]	Not use	0
BK76MAP	[2:0]	BANK6/7 memory map 000 = 32M/32M 100 = 2M/2M 101 = 4M/4M 110 = 8M/8M 111 = 16M/16M	000

表 4－6 BANKSIZE 寄存器定义

BANKSIZE 寄存器定义了 bank 的大小，SCLKEN 一般采用推荐值 1。